

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-17913

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.⁹

H 0 1 L 21/768

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 21/ 90

B

審査請求 未請求 請求項の数16 O L (全 9 頁)

(21) 出願番号 特願平6-143524

(22) 出願日 平成6年(1994)6月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 星野 和弘

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(74) 代理人 弁理士 高月 亨

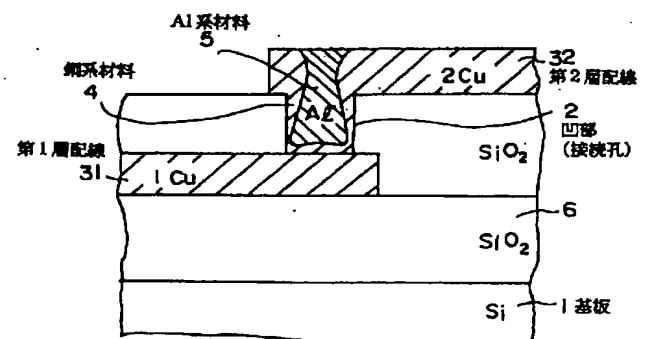
(54) 【発明の名称】 埋め込み構造、埋め込み構造の形成方法、埋め込み構造を有する半導体装置、及び該半導体装置の製造方法

(57) 【要約】

【目的】 導電材料としてすぐれる銅系、銀系、または金系材料を用いて凹部を埋め込む際、これを良好に埋め込める技術を提供する。

【構成】 基板1上に形成した接続孔等の凹部2に、銅系、銀系、または金系材料4を該凹部の少なくとも内壁部をおおって埋め込むとともに、凹部のその他の部分を必要に応じてバリアメタル等の中間材料を介してA l系材料5で充填した構造の埋め込み構造及びその製法、この技術を適用した半導体装置関連の技術。

実施例1の埋め込み接続構造



1

【特許請求の範囲】

【請求項 1】基板上に形成した凹部に、銅系、銀系、または金系材料を該凹部の少なくとも内壁部をおおって埋め込むとともに、凹部のその他の部分を A1 系材料で充填した構造を備えることを特徴とする埋め込み構造。

【請求項 2】前記銅系、銀系、または金系材料と、前記 A1 系材料との間に、中間材料を形成したことを特徴とする請求項 1 に記載の埋め込み構造。

【請求項 3】前記中間材料が、前記銅系、銀系、または金系材料と、前記 A1 系材料との反応を防止するバリアメタルであることを特徴とする請求項 2 に記載の埋め込み構造。

【請求項 4】前記中間材料が、Ti, W, Zr, Hf, Mo もしくはこれらの金属間化合物、もしくは窒化物、ホウ化物、もしくは炭化物のいずれかより選ばれたものであることを特徴とする請求項 2 または 3 に記載の埋め込み構造。

【請求項 5】基板上に形成した凹部内に、銅系、銀系、または金系材料を埋め込み形成した後、凹部に生じた空洞部分を A1 系材料を充填することを特徴とする埋め込み構造の形成方法。

【請求項 6】空洞部分に A1 系材料を充填する手段が、A1 系材料の形成後加熱を行う A1 リフロー法であるか、もしくは A1 系材料の高温スパッタ法であることを特徴とする請求項 5 に記載の埋め込み構造の形成方法。

【請求項 7】前記空洞部分に A1 系材料を充填した後、銅系、銀系、または金系材料上の A1 系材料を除去する工程を備えたことを特徴とする請求項 5 または 6 に記載の埋め込み構造の形成方法。

【請求項 8】前記 A1 系材料を除去する手段が、ドライエッチング法もしくは全面メタル・ポリッシュ法であることを特徴とする請求項 7 に記載の埋め込み構造の形成方法。

【請求項 9】半導体基板上に形成した凹部に銅系、銀系、または金系材料を該凹部の少なくとも内壁部をおおって埋め込むとともに、凹部のその他の部分を A1 系材料で充填した構造を備えることを特徴とする半導体装置。

【請求項 10】前記銅系、銀系、または金系材料と、前記 A1 系材料との間に、中間材料を形成したことを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】前記中間材料が、前記銅系、銀系、または金系材料と、前記 A1 系材料との反応を防止するバリアメタルであることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】前記中間材料が、Ti, W, Zr, Hf, Mo もしくはこれらの金属間化合物、もしくは窒化物、ホウ化物、もしくは炭化物のいずれかより選ばれたものであることを特徴とする請求項 10 または 11 に記載の半導体装置。

2

【請求項 13】半導体基板上に形成した凹部内に銅系、銀系、または金系材料を埋め込み形成した後、凹部に生じた空洞部分を A1 系材料を充填して埋め込み部を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 14】空洞部分に A1 系材料を充填する手段が、A1 系材料の形成後加熱を行う A1 リフロー法であるか、もしくは A1 系材料の高温スパッタ法であることを特徴とする請求項 13 に記載の半導体装置の製造方法。

【請求項 15】前記空洞部分に A1 系材料を充填した後、銅系、銀系、または金系材料上の A1 系材料を除去する工程を備えたことを特徴とする請求項 13 または 14 に記載の半導体装置の製造方法。

【請求項 16】前記 A1 系材料を除去する手段が、ドライエッチング法もしくは全面メタル・ポリッシュ法であることを特徴とする請求項 15 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、埋め込み構造、埋め込み構造の形成方法、埋め込み構造を有する半導体装置、及び該半導体装置の製造方法に関する。本発明は、導電材による埋め込みを要する場合に汎用でき、例えば、半導体装置に用いられる配線の構造及び形成方法として具体化できる。特に、配線の信頼性向上及び接続孔の埋め込み性を向上した技術として具体化することができる。

【0002】

【従来の技術及びその問題点】埋め込み構造、特に導電材の埋め込み構造を要する分野では、ますます微細化が進行している。例えば、半導体装置の分野では、超 LSI の高集積化に伴い、基板と配線間の電気的接続を得るコンタクトホールや、多層配線間の接続を得るヴィアホールも微細化し、例えば 0.25 ミクロンルールではアスペクト比が 2 を越えるまでになって来ている。

【0003】配線金属材料を通常のスパッタリング法で形成する際、このような高アスペクト比の接続孔では、シャドウイング効果によって接続孔内部にボイド（空洞）を生じたり、接続孔底部近くの側壁に十分な膜厚を形成することができないという問題が生じている。

【0004】また、近年スパッタ中に基板を 500℃程度に加熱する高温スパッタ法や、金属膜形成後、真空中で加熱を行うことによって金属をホール内に流動させるリフロー法が開発されている（例えば、保坂ら「超高真空下での A1 リフローによる埋め込み」1993 年春春季応用物理学会予稿集 30 a-ZY-8 参照）が、いずれの方法でも、適用される金属材料が A1 のように低融点でなければならないという制限がある。

【0005】一方、Cu ないしは Cu を主成分とする銅系材料から成る Cu 配線は、A1 に比べ低抵抗であり、

50

3

エレクトロマイグレーション耐性に優れた材料であるため、将来の高集積・高速デバイスにとって魅力的な材料である（例えば星野ら「Cu電極配線技術」月刊 Semiconductor World, 1998. 6 参照）。しかしながら、微細コンタクトホールの埋め込みに関しては、前述の高温スパッタ法、リフロー法のいずれも、材料自体が高融点であるため適用することができない。

【0006】接続孔等の凹部に通常スパッタ法でCu膜を形成した場合は、図13に示すように、凹部2（接続孔）のホール側壁の膜が薄くなってしまうため、通電を行うこの部分で電流密度が増大し、エレクトロマイグレーションによる断線が生じやすいという問題を生じる。符号4で埋め込み材料であるCuを示し、4a、4bで側面の膜が薄くなった部分を示す。

【0007】これは、銀系材料や金系材料（いずれも低抵抗であり、導電材料としてすぐれている）でも同様である。（なお図13中、1はSi等の基板、1aはSiO₂等の絶縁膜、31はCu等の第1層配線、32は同じく第2層配線、6はこれら第1、第2層配線31、32間の接続をとるビアホールである凹部2が形成された層間絶縁膜（SiO₂等）である）。

【0008】

【発明の目的】本発明は、上記従来技術の問題点を解決して、導電材料としてすぐれる銅系、銀系、または金系材料を用いて凹部を埋め込む埋め込み部の形成に際しても、これを良好に埋め込むことができる埋め込み構造、及び埋め込み構造の形成方法を提供し、また、このような埋め込み材料を有する半導体装置、及び該半導体装置の製造方法を提供することを目的としている。

【0009】

【目的を達成するための手段】本出願の請求項1の発明は、基板上に形成した凹部に、銅系、銀系、または金系材料を該凹部の少なくとも内壁部をおおって埋め込むとともに、凹部のその他の部分をA1系材料で充填した構造を備えることを特徴とする埋め込み構造であって、これにより上記目的を達成するものである。

【0010】本出願の請求項2の発明は、前記銅系、銀系、または金系材料と、前記A1系材料との間に、中間材料を形成したことを特徴とする請求項1に記載の埋め込み構造であって、これにより上記目的を達成するものである。

【0011】本出願の請求項3の発明は、前記中間材料が、前記銅系、銀系、または金系材料と、前記A1系材料との反応を防止するバリアメタルであることを特徴とする請求項2に記載の埋め込み構造であって、これにより上記目的を達成するものである。

【0012】本出願の請求項4の発明は、前記中間材料が、Ti、W、Zr、Hf、Moもしくはこれらの金属間化合物、もしくは窒化物、ホウ化物、もしくは炭化物

4

のいずれかより選ばれたものであることを特徴とする請求項2または3に記載の埋め込み構造であって、これにより上記目的を達成するものである。

【0013】本出願の請求項5の発明は、基板上に形成した凹部内に、銅系、銀系、または金系材料を埋め込み形成した後、凹部に生じた空洞部分をA1系材料を充填することを特徴とする埋め込み構造の形成方法であって、これにより上記目的を達成するものである。

【0014】本出願の請求項6の発明は、空洞部分にA1系材料を充填する手段が、A1系材料の形成後加熱を行うA1リフロー法であるか、もしくはA1系材料の高温スパッタ法であることを特徴とする請求項5に記載の埋め込み構造の形成方法であって、これにより上記目的を達成するものである。なお本発明において、A1リフロー法とは、A1系材料をスパッタその他の手段で形成した後、加熱してA1系材料を溶融状態にすることを言う。また高温スパッタとは、A1系材料が溶融状態もしくはそれに近い状態でスパッタされる高温下でスパッタすることを言う。

【0015】本出願の請求項7の発明は、前記空洞部分にA1系材料を充填した後、銅系、銀系、または金系材料上のA1系材料を除去する工程を備えたことを特徴とする請求項5または6に記載の埋め込み構造の形成方法であって、これにより上記目的を達成するものである。

【0016】本出願の請求項8の発明は、前記A1系材料を除去する手段が、ドライエッチング法もしくは全面メタル・ポリッシュ法であることを特徴とする請求項7に記載の埋め込み構造の形成方法であって、これにより上記目的を達成するものである。

【0017】本出願の請求項9の発明は、半導体基板上に形成した凹部に銅系、銀系、または金系材料を該凹部の少なくとも内壁部をおおって埋め込むとともに、凹部のその他の部分をA1系材料で充填した構造を備えることを特徴とする半導体装置であって、これにより上記目的を達成するものである。

【0018】本出願の請求項10の発明は、前記銅系、銀系、または金系材料と、前記A1系材料との間に、中間材料を形成したことを特徴とする請求項9に記載の半導体装置であって、これにより上記目的を達成するものである。

【0019】本出願の請求項11の発明は、前記中間材料が、前記銅系、銀系、または金系材料と、前記A1系材料との反応を防止するバリアメタルであることを特徴とする請求項10に記載の半導体装置であって、これにより上記目的を達成するものである。

【0020】本出願の請求項12の発明は、前記中間材料が、Ti、W、Zr、Hf、Moもしくはこれらの金属間化合物、もしくは窒化物、ホウ化物、もしくは炭化物のいずれかより選ばれたものであることを特徴とする請求項10または11に記載の半導体装置であって、こ

5

れにより上記目的を達成するものである。

【0021】本出願の請求項13の発明は、半導体基板上に形成した凹部内に銅系、銀系、または金系材料を埋め込み形成した後、凹部に生じた空洞部分をA1系材料を充填して埋め込み部を形成する工程を有することを特徴とする半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0022】本出願の請求項14の発明は、空洞部分にA1系材料を充填する手段が、A1系材料の形成後加熱を行うA1リフロー法であるか、もしくはA1系材料の高温スパッタ法であることを特徴とする請求項13に記載の半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0023】本出願の請求項15の発明は、前記空洞部分にA1系材料を充填した後、銅系、銀系、または金系材料上のA1系材料を除去する工程を備えたことを特徴とする請求項13または14に記載の半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0024】本出願の請求項16の発明は、前記A1系材料を除去する手段が、ドライエッチング法もしくは全面メタル・ポリッシュ法であることを特徴とする請求項15に記載の半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0025】本発明は、基板上の凹部に導電材料を埋め込む構造が要せられる場合に汎用することができる。例えば、埋め込み導電部について適用することができる。この場合、各種接続孔の埋め込みについて適用でき、例えば半導体基板の拡散領域と上部配線との接続をとるコンタクトホールについて適用でき、あるいは、上層と下層との配線層間の接続をとるビアホールについて適用することができる。

【0026】本発明は、半導体装置の接続孔において、Cu膜(Ag膜、Au膜についても同じ。以下同)を形成した後、接続孔内に生じる空洞部分にA1合金を充填した構造、及びその製造方法として、好ましく実施できる。

【0027】また、接続孔内に生じる空洞部分にA1合金(A1-wt%Si等)を充填する方法として、A1成膜後加熱によるA1リフロー法、もしくは高温スパッタ法を用いることは、好ましい態様である。

【0028】また、A1リフロー法もしくは高温スパッタ法により、Cu膜の空洞部分にA1を充填した後、ドライエッチング法もしくは全面メタル・ポリッシュ法により、Cu膜上のA1合金膜を除去することは、好ましい態様である。

【0029】また、接続孔内に生じる空洞部分にA1合金を充填する際に、CuとA1合金の間の反応を防止するために、バリアメタルをCuとA1合金の間に挟むことは、好ましい態様である。

6

【0030】また、バリアメタルとしては、Ti, W, Zr, Hf, Moもしくはこれらの金属間化合物、もしくは窒化物、ホウ化物、もしくは炭化物のいずれかを用いることは、好ましい態様である。

【0031】

【作用】本発明によれば、基板上に形成した凹部に、銅系、銀系、または金系材料を埋め込む場合、まず、例えば該凹部の少なくとも内壁部をおおって埋め込み、凹部のその他の部分はA1系材料で充填するので、銀系、銅系、または金系材料による埋め込みでは空洞が生じる場合について、この空洞は埋め込み性の良いA1系材料により、埋め込み特性が良好なA1リフローや高温スパッタ法等により充填され、よって信頼性の高い完全な埋め込みがなされる。よって、銅系、銀系または金系材料の低抵抗特性と、A1系材料の良好な埋め込み特性とを兼ね備えた、低抵抗かつ信頼性の高い構造が得られる。

【0032】

【実施例】以下本発明の実施例について、図面を参照して説明する。但し当然のことではあるが、本発明は図示の実施例により限定されるものではない。

【0033】実施例1

この実施例は、本発明を、半導体装置の接続配線構造に適用したものであり、特に、銅系材料、特に純銅により接続孔を埋め込んで接続配線構造を形成する場合に具体化したものである。

【0034】図1に示すのは、本実施例の半導体装置における埋め込み配線接続構造の断面図である。図1に示すように、この埋め込み構造は、基板1（ここでは半導体基板、特にSi基板）上に形成した凹部2（ここでは基板1上の第1層配線31とその上層の第2層配線32との接続をとるビアホール）に銅系材料4（ここではCu）を該凹部2の少なくとも内壁部をおおって埋め込むとともに、凹部2のその他の部分をA1系材料5で充填した構造を備えるものである。

【0035】また、本実施例の半導体装置の接続配線構造の形成は、図2ないし図5に示すように行った。即ち、基板1上に形成した凹部2内に、銅系材料4を埋め込み形成した（図2）後、凹部2に生じた空洞部分2'をA1系材料5を充填した（図3、図4）。以上によりこの埋め込み配線構造を形成した。特にこの実施例では、空洞部分2'にA1系材料51を充填する手段が、A1系材料5の形成（図3）の後、加熱を行う（図4）A1リフロー法を用いた。またこの実施例では、前記空洞部分2'にA1系材料5を充填した後、銅系材料4（第2層配線32）上のA1系材料52を除去する工程を備えて、図5の構造とした。最終的にパターニングして、図1の構造を得た。このA1系材料5を除去する手段は、ドライエッチング法もしくは全面メタル・ポリッシュ法を用いた。

【0036】従来技術にあつては、通常のスパッタリン

7

グ法でCuを成膜すると、高アスペクト比のホールにおいては、図13に示すようにシャドウイング効果によりホール側壁には平坦な部分の数パーセントしか膜が付かない。このため、エレクトロマイグレーション試験を行うと、カバレッジの悪い部分で電流密度が増大し、断線不良を生じやすかった。

【0037】これに対し、本発明を適用した図1の実施例では、Cu膜の空洞部分にAlを埋め込んだので、電流密度の局所的な増大は生じない。この構造によってエレクトロマイグレーション耐性が向上する。

【0038】また、凹部2'である接続孔のホール内部の金属厚膜化によりストレスマイグレーション耐性も向上する。

【0039】以上の如く、本実施例のようにCu配線上のAlフローにより接続孔部の空洞を埋め込むことによって、信頼性が向上する。

【0040】更に詳しくは、本実施例では以下の工程により、半導体装置についての埋め込み接続配線構造を形成した。

【0041】初めに図2に示すように、素子を形成した半導体基板1（図示断面では基板1上にSiO₂等の絶縁膜1aが形成されている）上に、下層の第1層配線31として第1層Cu配線を形成した後、層間膜6（ここではSiO₂）を形成し、凹部2である接続孔（ここではビアホール）を開孔する。

【0042】次いで上層の第2層配線32として第2層Cu配線を、下記条件の通常スパッタ法にて形成する。以上で図2の構造を得た。

Cu膜スパッタ条件

ガス : Ar
DC電力 : 10 kW
圧力 : 0.4 Pa
基板温度 : 200℃

【0043】次に、図3に示すように、下記条件のスパッタ法によりAl系材料層51としてAlSi500nmを形成する。

AlSi形成条件

ガス : Ar
DC電力 : 15 kW
圧力 : 0.4 Pa
基板温度 : 100℃

【0044】続いて、真空を破ることなく、基板1をリフローチャンバーに運ぶ。ここで、基板1を450℃に加熱し、2分間の熱処理を行う。即ち、リフロー処理を行う（下記条件）。これにより、図4に示すような形状で、凹部2（ビアホール）内の空洞部分2'がAl系材料5により埋め込める。第2層配線32上に存在するAl系材料を符号52で示す。

Alリフロー条件

ガス : Ar

8

基板温度 : 450℃

圧力 : 0.17 Pa

熱処理時間 : 120秒

【0045】続いて、RIE（反応性イオンエッチング）法により、Al系材料のエッチバックを行う。これにより、上層のAl系材料52を除去する。

Alエッチバック条件

ガス : BCl₃ / Cl₂ = 60 / 90 SCCM

10 圧力 : 2 Pa

μ波電力 : 900 W

RFバイアス : 30 W

【0046】エッチバック終了後、図5のように、銅系材料5（Cu配線）の空洞部分2'にAl系材料5が埋め込まれた形状が得られる。

【0047】これを適宜パターニングして得られたものが、図1の構造である。

【0048】先に述べたように、凹部2（接続孔）内でのエレクトロマイグレーション耐性が向上し、かつ平坦化形状が得られる。

【0049】本実施例によれば、以下の具体的効果が得られる。

①接続孔内部が全て銅系材料（Cu）及びAl系材料（Al合金）で埋め込まれるため、ホール内部での電流密度の増大が生じない。このためエレクトロマイグレーション耐性が向上する。

【0050】②接続孔内部が全て銅系材料（Cu）及びAl系材料（Al合金）で埋め込まれるため、ホール内部での金属厚膜化によりストレスマイグレーション耐性が向上する。

【0051】③配線材料自体としてCu配線を使用できるため、低抵抗かつ信頼性の高い配線が得られる。

【0052】④本発明を高密度デバイスの配線形成工程に適用することによって、優れた埋め込みを達成でき、さらにエレクトロマイグレーション耐性に優れた信頼性の高いデバイスを製造でき、工業的に見て非常に有用である。

【0053】実施例2

本実施例は、Cu配線形成後、高温スパッタ法を用いて凹部（ホール内）にAl系材料を埋め込む例である。以下、図6ないし図8を用いてこの実施例を説明する。

【0054】初めに図6に示すように、素子を形成した半導体基板1（ここではSi基板。上面にSiO₂絶縁膜1aを有する）上に下層の第1配線31として、第1層Cu配線を形成した後、層間膜6（ここではSiO₂）を形成し、凹部2である接続孔（ここではビアホール）を開孔する。

【0055】次いで上層の第2層配線32として第2層Cu配線を下記条件の通常スパッタ法にて500nm形成する。

50

9

Cu膜スパッタ条件

ガス : Ar
DC電力 : 10 kW
圧力 : 0.4 Pa
基板温度 : 200℃

【0056】更に、図7に示すように、下記条件の高温スパッタ法によりAl系材料膜53としてAlSi膜を300 nm形成する。

AlSi形成条件

ガス : Ar
DC電力 : 15 kW
圧力 : 0.4 Pa
基板温度 : 500℃

【0057】続いて、本実施例では、下記条件のCMP（ケミカル・メカニカル・ポリッシュ）法により、Al系材料膜53をエッチバックする。

CMP条件： 研磨プレート回転数=50 rpm
スラリー液=過酸化水素水/アミン/水の混合液

【0058】エッチバック終了後、図8のように銅系材料4（Cu配線）の空洞部分2'にAlが埋め込まれた形状が得られる。

【0059】本実施例も、前述のように、接続孔内でのエレクトロマイグレーション耐性が向上し、かつ平坦化形状が得られる。その他、実施例1と同様な効果を有する。

【0060】実施例3

本実施例は、Cu配線形成後、Alリフロー法を用いてAl系材料をホール内に埋め込む際に、銅系材料であるCuとAl系材料であるAlの反応を防止するために中間材料としてバリアメタルを間に挟む例である。

【0061】以下、図9ないし図12を用いて、この実施例を説明する。

【0062】初めに図9に示すように、素子を形成した半導体基板（ここではSi基板。上面にSiO₂絶縁膜1aを有する）上に下層第1層配線31として第1層銅配線を形成したあと、層間膜6を形成し、凹部2として接続孔（ビアホール）を開口する。次いで下記条件の通常のスパッタ法を用いて、中間材料7を含む第2層目配線層として、Ti/TiN/Cu膜（30/70/300 nm・上層から順に列記）を形成する。即ち、凹部2（ビアホール）を含め、銅系材料4としてCu及び中間材料7としてTi/TiNを下記条件で成膜する。符号32で、上層第2層配線であるCu配線をなすCu部分を示す。なお、TiNはバリアメタルとして用い、TiはAlリフロー時の濡れ層として使用する。

【0063】Cu膜スパッタ条件

ガス : Ar
DC電力 : 10 kW
圧力 : 0.4 Pa
基板温度 : 200℃

10

【0064】TiN膜形成条件

ガス : Ar-65%N₂
DC電力 : 8 kW
圧力 : 0.65 Pa
基板温度 : 150℃

【0065】Ti膜形成条件

ガス : Ar
DC電力 : 4 kW
圧力 : 0.4 Pa
基板温度 : 200℃

【0066】図10に示すように、スパッタ法によりAl系材料としてAlSi51を下記条件で500 nm形成する。

【0067】AlSi形成条件

ガス : Ar
DC電力 : 15 kW
圧力 : 0.4 Pa
基板温度 : 100℃

【0068】続いて、真空を破ることなく基板1をフローチャンバーに運ぶ。ここで、基板1を450℃に加熱し、2分間の熱処理を行うと、図11に示すような形状で凹部2である接続孔のホール内の空洞が埋め込まれる。埋め込まれたAl系材料を符号5で示し、上層のAl系材料を52で示す。Alリフロー条件は下記のとおりである。

【0069】Alリフロー条件

ガス : Ar
圧力 : 0.17 Pa
基板温度 : 450℃
熱処理時間 : 120秒

【0070】続いて、RIE（反応性イオンエッチング）法により、Al膜52及びTi/TiN膜7のエッチバックを行う。

【0071】Alエッチバック条件

ガス : BCl₃/Cl₂=60/90 SCCM
圧力 : 2 Pa
μ波電力 : 900 W
RFバイアス : 30 W

【0072】エッチバック終了後、図12のように、銅系材料4であるCu配線の空洞部2'にAl系材料5が埋め込まれた形状が得られる。

【0073】なお、本実施例ではエッチバックの手段としてRIE法を用いたが、実施例2と同様にCMP法を用いることも可能である。

【0074】本実施例も、前記で述べたように接続孔内でのエレクトロマイグレーション耐性が向上し、かつ平坦化形状が得られ、その他前記実施例と同様な効果が発揮できた。

【0075】更に本実施例では、銅系材料4であるCu配線とホール内の空洞を埋め込んだAl系材料5との間

10

20

30

40

50

11

にバリアメタルを狭んだことにより、AlとCuの反応を防止することができる。なお、別途バリアメタルとして、Ti以外のW、Zr、Hf、Moについて、またこれらの化合物について、またこれらの窒化物、ホウ化物、炭化物を用いて実施したが、同様のバリア効果が得られた。特に、TiN/Tiに代えてWN/Wを中間材料（バリアメタル）として用いて、良好な結果が得られた。

【0076】実施例4

この実施例では、実施例3と同様の中間材料7を形成するとともに、ここではAlリフロー法の代わりに、実施例2のように高温スパッタ法で空洞を埋め込んだ。

【0077】本実施例も、実施例3と同様の効果を奏した。なお、本実施例でも別途バリアメタルとして、Ti以外のW、Zr、Hf、Moについて、またこれらの化合物について、またこれらの窒化物、ホウ化物、炭化物を用いて実施したが、同様のバリア効果が得られた。特に、TiN/Tiに代えてWN/Wを中間材料（バリアメタル）として用いて、良好な結果が得られた。

【0078】実施例5～8

この実施例では、純Cuに代え、銅系材料としてCu-Ti合金（Ti含有量は10重量%以下のもの）を用いて、その他は実施例1～4と同様に行った。

【0079】Cu-Ti合金を用いることにより、導電性はやや低くなるが、信頼性の高い接続が得られた。

【0080】実施例9～12

これらの実施例では、銀系材料を用いて、実施例1～4と同様に実施した。

【0081】ここでは、銀系材料として純Agを用いた。Agは、スパッタにより、次の条件で形成した。

ガス : Ar 100 SCCM

圧力 : 0.4 Pa

DC電力 : 8 kW

基板加熱温度 : 150℃

【0082】その他は、前記各例と全く同様に行った。

【0083】本実施例では低抵抗のAgによる良好な導電性と、Al系材料による信頼性の向上という効果がもたらされた。

【0084】実施例13～16

これらの実施例では、金系材料を用いて、実施例1～4と同様に実施した。

【0085】ここでは、金系材料として純Auを用いた。ここでは、Auは、Auソースガスとして有機Au錯体を用いた下記条件のAuのPECVDでこれを形成した。

【0086】AuCVD条件

ガス : ジメチル(1, 1, 1-トリフルオロ-2, 4-ペンタジオナート)金(III) (DMG-

12

TF)/H₂ = 100/500 SCCM

圧力 : 2000 Pa

RFプラズマ : 13.56 MHz

基板温度 : 170℃

【0087】その他は、前記各例と全く同様に行った。

【0088】本実施例では、低抵抗のAuによる良好な導電性と、Al系材料による信頼性の向上という効果がもたらされた。

【0089】

【発明の効果】上述したように、本発明によれば、導電材料としてすぐれる銅系、銀系、または金系材料を用いて凹部を埋め込む埋め込み部の形成に際しても、これを良好に埋め込むことができる埋め込み構造、及び埋め込み構造の形成方法を提供し、また、このような埋め込み材料を有する半導体装置、及び該半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】 実施例1の構造を示す断面図である。

【図2】 実施例1の工程を順に断面図で示すものである(1)。

【図3】 実施例1の工程を順に断面図で示すものである(2)。

【図4】 実施例1の工程を順に断面図で示すものである(3)。

【図5】 実施例1の工程を順に断面図で示すものである(4)。

【図6】 実施例2の工程を順に断面図で示すものである(1)。

【図7】 実施例2の工程を順に断面図で示すものである(2)。

【図8】 実施例2の工程を順に断面図で示すものである(3)。

【図9】 実施例3の工程を順に断面図で示すものである(1)。

【図10】 実施例3の工程を順に断面図で示すものである(2)。

【図11】 実施例3の工程を順に断面図で示すものである(3)。

【図12】 実施例3の工程を順に断面図で示すものである(4)。

【図13】 従来技術及びその問題点を示す図である。

【符号の説明】

1 基板(半導体基板、Si基板)

2 凹部(接続孔)

31 第1層配線

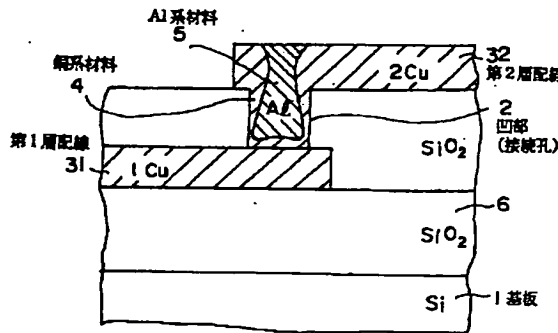
32 第2層配線

4 銅(銀、金)系材料

5 Al系材料

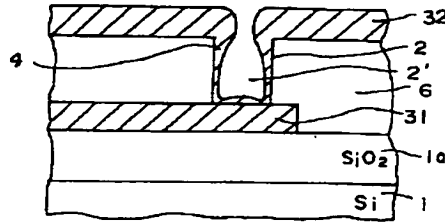
【図1】

実施例1の埋め込み接続構造



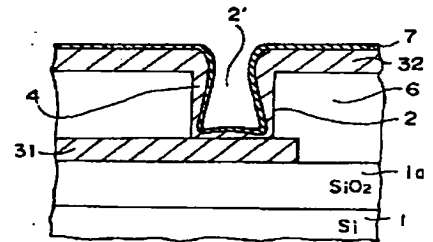
【図2】

実施例1の工程 (1)



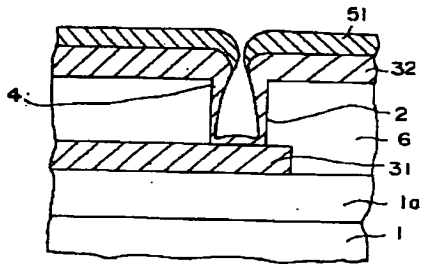
【図9】

実施例3の工程 (1)



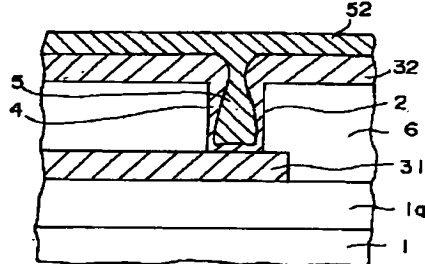
【図3】

実施例1の工程 (2)



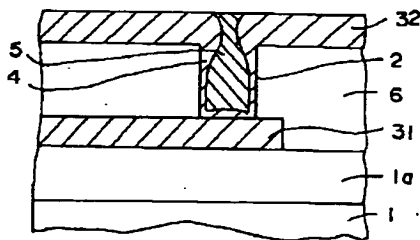
【図4】

実施例1の工程 (3)



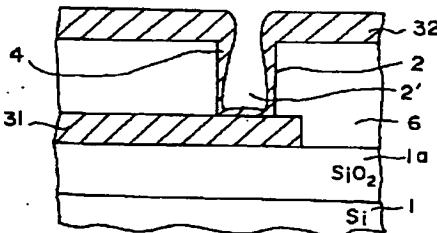
【図5】

実施例1の工程 (4)



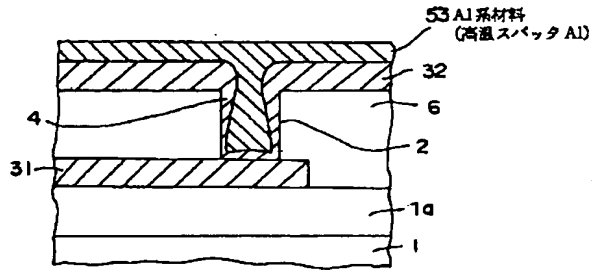
【図6】

実施例2の工程 (1)



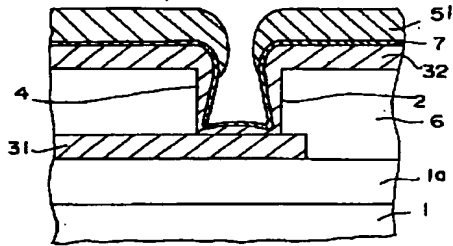
【図 7】

実施例 2 の工程 (2)



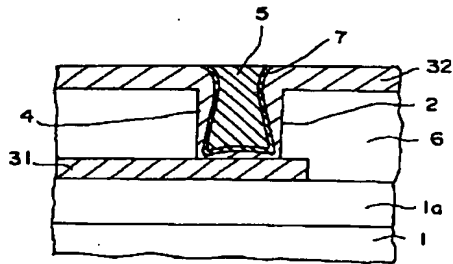
【図 10】

実施例 3 の工程 (2)



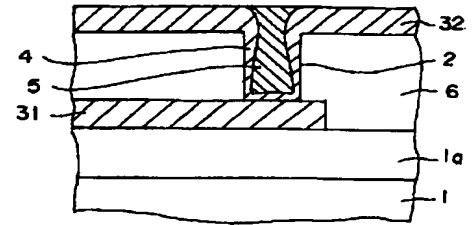
【図 12】

実施例 3 の工程 (4)



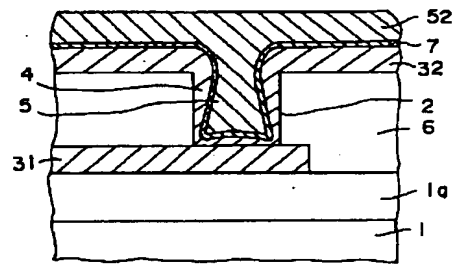
【図 8】

実施例 2 の工程 (3)



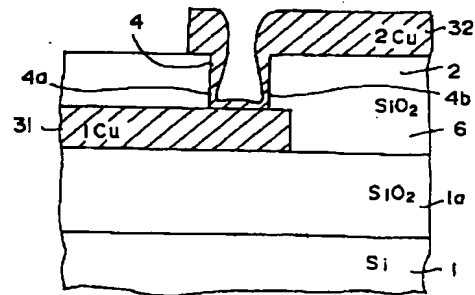
【図 11】

実施例 3 の工程 (3)



【図 13】

従来技術及びその問題点を示す図



100

100